



2817

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Masaharu ITO, et al.

Appln. No.: 09/711,541

Art Unit: 2817

Filed: November 13, 2000

Examiner: Cathey, Amian E.

For: RF PACKAGE

Docket No.: YKM-00901

Certificate of Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as first class mail, in an envelope addressed to the Commissioner for Patents; P. O. Box 1450, Alexandria, VA 22313-1450 on this date of October 15, 2003.

Tracey A. Newell
Name: Tracey A. Newell

SUPPLEMENTAL INFORMATION DISCLOSURE STATEMENT
UNDER 37 CFR 1.97

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith on Form PTO-1449 is a listing of documents known to Applicants and/or their attorney in compliance with the requirements of 37 CFR 1.56. Copies of the documents are also being submitted.

The references submitted herewith were cited in a July 18, 2003 Opposition in the Japanese Patent Office (copy enclosed) for a counterpart application. Since this IDS is being filed within three months of that date and prior to a Final Office Action or Notice of Allowance being mailed, then, under Rule 37 CFR 1.97, no fee is due.

In compliance with the requirements of 37 C.F.R. §1.98(a)(3), as a concise statement of relevance, as it is presently understood by the individual designated in 35 U.S.C. §1.56(c) most knowledgeable about the content of the information, the undersigned attorney of record submits a translation of portions of an official action by a

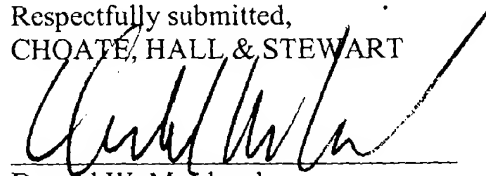
foreign examiner in which the references were cited. A copy of the official action is enclosed. The relevance to the pending U.S. patent application is that the references were cited in a foreign patent application corresponding to the above-captioned U.S. patent application. However, no independent analysis of the references, the accuracy of the statement of the foreign examiner or the claims of the foreign application under the laws of that country or the United States relative to the subject matter claimed in the present application has been made; the present understanding of the contents thereof by the undersigned being based on the translation of the foreign examiner's comments submitted herewith.

The Examiner is respectfully requested to initial the space adjacent to each document on the PTO-1449 form and return a copy of the PTO-1449 form to confirm that these documents have been considered by the Examiner and made of record in this application.

Although we believe that we have appropriately provided for any fees due in connection with this submission, the Commissioner is authorized to credit any overpayment or charge any deficiencies to/from our **Deposit Account No. 03-1721**. Two originally-executed copies of this form are being submitted.

Should there be any questions after reviewing this paper, the Examiner is invited to contact the undersigned at (617) 248-4038.

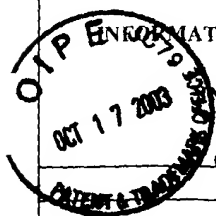
Respectfully submitted,
CHOATE, HALL & STEWART



Donald W. Muirhead
Registration No. 33,978

Date: October 15, 2003

Patent Group
Choate, Hall & Stewart
Exchange Place
53 State Street
Boston, MA 02109



Form PTO-1449			Docket Number (Optional) YKM-00901		Application Number 09/711,541	
INFORMATION DISCLOSURE CITATION IN AN APPLICATION <i>(Use several sheets if necessary)</i>						
Applicant Masaharu ITO, et al.						
Filing Date November 13, 2000					Group Art Unit 2817	
U.S. PATENT DOCUMENTS						
EXAMINER INITIAL	DOCUMENT NUMBER	DATE	NAME	CLASS	SUBCLASS	FILING DATE IF APPROPRIATE
AA						
AB						
AC						
AD						
AE						
FOREIGN PATENT DOCUMENTS						
	DOCUMENT NUMBER	DATE	COUNTRY	CLASS	SUBCLASS	TRANSLATION
AF	5-175356	7/13/93	JP			
AG	10-303333	11/13/98	JP			
AH	63-261859	10/28/88	JP			
AI	6-112352	4/22/94	JP			
AJ	9-23106	1/21/97	JP			
AK	63-107055	5/12/88	JP			
AL	2-291152	11/30/90	JP			
AM	10-242716	9/11/98	JP			
AN	4-312960	11/4/92	JP			
AO	6-224604	8/12/94	JP			
AP	5-86859	12/14/93	JP			
AQ	11-68416	3/9/99	JP			
AR	11-312751	11/9/99	JP			
AS						
AT						
OTHER DOCUMENTS <i>(Including Author, Title, Date, Pertinent Pages, Etc.)</i>						
AU						
AV						
AW						
EXAMINER				DATE CONSIDERED		

EXAMINER: Initial if citation considered, whether or not citation is in conformance with MPEP § 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to the applicant.



特 許 異 議 申 立 書

平成15年5月1日

特許庁長官殿

1. 特許異議の申立てに係る特許の表示

特許番号 特許第3346752号
請求項の表示 請求項1～7

2. 特許異議申立人

住 所 〒612-8501
京都市伏見区竹田烏羽殿町6番地
名 称 京 セ ラ 株 式 会 社
代表者 西 口 泰 夫



異議2003- 71271

3. 申立ての理由

特許法第29条第2項（請求項1～7）（特許法第118条第2号）

請求 項	本 件 特 許 発 明	証 拠
1	<p>A1. 半導体素子が実装されるキャビティを有する多層誘電体基板から成るパッケージにおいて、</p> <p>B1. 第1及び第2の誘電体層基板を有し、</p> <p>C1. キャビティの内外を接続するために、第1の誘電体層上のコプレーナ線路と、</p> <p>D1. 前記コプレーナ線路上に第2の誘電体層が積層された内層線路とからなるフィードスルーが形成され、</p> <p>E1. 第2の誘電体層の表面にグランド導体を有し、</p> <p>F1. コプレーナ線路と内層線路との接続界面から離れたところで、表面のグランド導体と内層線路のグランド導体とを信号導体に沿って複数のビアホールによって接続し、</p> <p>G1. 前記コプレーナ線路と前記内層線路との接続界面における線路の信号導体の両側に形成された金属電極を有することを特徴とする高周波パッケージ。</p> <p>（効果）</p> <p>信号の放射を抑制することができフィードスルーの伝送特性を改善することが可能である。特に、コプレーナ線路と内層線路との接続界面と内層線路に形成される端部のビアホールとの間隔を大きくしても信号の放射を抑制でき、ビアホールの形成が容易となる。</p>	<p>甲第1号証 特開平11-812751号公報</p> <p>・特許請求の範囲、段落番号0001,0016,0094、図1～2</p> <p>A1. 上面に高周波回路部品が搭載される搭載部を有する絶縁基板と、搭載部を囲むように接合されて内側に高周波回路部品を収容する収容部の側壁となる絶縁枠体とを具備する高周波回路用パッケージにおいて、</p> <p>B1. 絶縁基板上に絶縁枠体が接合されており、</p> <p>C1. 絶縁基板の搭載部近傍から外周近傍にかけて配設された線路導体および線路導体の両側に併設された同一面接地導体層を有し、</p> <p>D1. 線路導体および同一面接地導体層の一部を挟んで絶縁枠体が接合され、</p> <p>E1. 絶縁枠体の上面に上部接地導体層が形成されており、</p> <p>G1. 絶縁枠体の内外側面に同一面接地導体層と上部接地導体層とを接続するキャスタレーション導体を有する高周波回路用パッケージ。</p> <p>（効果）</p> <p>線路導体を取り囲む接地のための導体について接地状態を安定させて反射損失を低減することができる。とともに、電磁シールド効果を高めて放射損失を抑制することができ、高周波信号の入出力部における高周波信号の伝送特性を低損失で良好なものとする事ができる。</p> <p>参考資料1 特開昭63-261859号公報</p> <p>パッケージのフィードスルー部分において、基板の上面にコプレーナ線路を有するとともに、枠体の側面の信号導体の両側に位置する部位に導体層を有するものが記載されている。</p> <p>参考資料2 特開平8-112852号公報</p> <p>パッケージのフィードスルー部分において、基板の側面の信号導体の両側に位置する部位にグランド壁を有するものが記載されている。</p> <p>参考資料3 特開平9-23106号公報</p> <p>コプレーナガイド伝送線路が形成された基板の側面に、接地導体と電気的に接続された、内周面に導体を形成した切り欠きを有するものが記載されている。</p> <p>甲2号証 特開平5-175856号公報</p> <p>・特許請求の範囲、段落番号0001,0002,0007,0008,0010～0012、図1～8</p> <p>A1'. 半導体素子を搭載する空間を内部に設けてメタルで箱体状に形成したパッケージにおいて、</p> <p>B1. 基体を構成するセラミック体の上面中央部に突縁を設けており、</p> <p>C1. 基体のセラミック体にパッケージの内外を電気的に接続する信号線メタライズを形成するとともに、信号線メタライズを形成する面と同一面に信号線をはさんで両側位置に箱状メタライズ部を設けたコブ</p>

	<p>レーナライン構造とし、</p> <p>D1. 信号線メタライズが突縁部分の下面を通過してセラミック体の両側に露出したセラミック端子がパッケージの隔壁に貫通して設けられており、</p> <p>E1. 突縁の上面にメタライズを施し、</p> <p>F1. セラミック体を厚み方向に貫通する導体のビアホールを帯状メタライズ部と電気的に接続して設けたことを特徴とするメタルウォールパッケージ。</p> <p>(効果)</p> <p>セラミック端子部の信号伝送性を効果的に向上させることができる。また、ビアホールの形成にあたっては従来のセラミック基板の製法がそのまま利用でき、容易に製造することができる。</p> <p>参考資料4 特開昭63-107055号公報</p> <p>パッケージのフィードスルー部分において、基板の上面にコプレーナ線路を有するとともに、信号導体の両側に、基板および環状枠を貫通して接地導体に接続される導電柱を有するものが記載されている。</p> <p>参考資料5 特開平2-291152号公報</p> <p>パッケージのフィードスルー部分において、基板の上面にコプレーナ線路を有するとともに、信号導体の両側に、基板および枠体を貫通して接地導体に接続されるスルーホールを有するものが記載されている。</p> <p>参考資料6 特開平10-242716号公報</p> <p>パッケージのフィードスルー部分において、信号導体の両側に、下部基板および上部基板を貫通する貫通導体を有するものが記載されている。</p> <p>参考資料7 特開平4-312960号公報</p> <p>パッケージのフィードスルー部分において、下部絶縁体の上面にコプレーナ線路を有するとともに、信号導体の両側に、下部絶縁体および上部絶縁体を貫通して接地導体に接続されるスルーホールを有するものが記載されている。</p> <p>甲第3号証 特開平10-803333号公報</p> <p>・特許請求の範囲、段落番号0001,0022,0029,0042、</p> <p>図4</p> <p>A1. 高周波素子を収納するためのキャビティを具備する高周波用パッケージにおいて、</p> <p>B1. 誘電体材料からなる誘電体基板から成り、</p> <p>C1. キャビティ内の誘電体基板の表面のグランド付きコプレーナ線路を具備し、</p> <p>D1. グランド付きコプレーナ線路が誘電体基板内部まで配置されて変換部が形成されており、</p> <p>E1. 変換部において、ブランド付きコプレーナ線路の上下面にグランド層が形成され、</p> <p>F1. 信号線路の両側のグランド層は、これらの上下のグランド層とビアホールによって電気的に接続される、</p> <p>G1. 変換部の誘電体基板の壁面にキャスカレーションが形成されていることを特徴とする高周波用パッケージ。</p> <p>(効果)</p>
--	---

		<p>信号の特性の劣化がなく、高周波信号線路からの電磁波のもれなどによって電源用信号線路や低周波信号線路に妨害を与えることなく、入出力端子がコプレーナ線路構造で形成された高周波用半導体素子と低損失で接続することができる。</p>
2	A2. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、柱状であることを特徴とする請求項1に記載の高周波パッケージ。	<p>甲第1号証 ・段落番号 0026, 図1 A2. キャスタレーション導体は、同一面接地導体層の直上の絶縁棒体の内外側面のそれぞれに形成され、例えば金属ブロックを取着することにより形成してもよい。</p>
3	A3. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、半円柱状であることを特徴とする請求項1に記載の高周波パッケージ。	<p>甲第1号証 ・段落番号 0080 A3'. キャスタレーション導体を絶縁棒体側面の凹部に形成する場合は、凹部を絶縁棒体の中央部に向かって深く形成するほど、高周波信号の伝送特性をより優れたものとすることができる。</p> <p>参考資料1. 特開昭63-281859号公報 断面半円状のメタライズ層を備えた切り欠きを有するものが記載されている。</p>
4	A4. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、平板であることを特徴とする請求項1に記載の高周波パッケージ。	<p>甲第1号証 ・段落番号 0026 A4. キャスタレーション導体は、同一面接地導体層の直上の絶縁棒体の内外側面のそれぞれに形成され、例えば金属板により形成してもよい。</p>
5	A5. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、前記グラウンド導体と前記コプレーナ線路のグラウンド導体とを接続することを特徴とする請求項1ないし請求項4の何れか1つの請求項に記載の高周波パッケージ。	<p>甲第1号証 ・特許請求の範囲 A5. 絶縁棒体の内外側面に同一面接地導体層と上部接地導体層とを接続するキャスタレーション導体を形成する。</p>
6	A6. 前記コプレーナ線路と前記内層線路との接続界面と、該接続界面と最短距離の前記ビアホールとの中心との距離 l は、 $l < c / (2f \cdot \sqrt{\epsilon_{eff}})$ (但し、 c 、 f 、 ϵ_{eff} はそれぞれ、光速、信号周波数、誘電体基板の比誘電率) を満たすことを特徴とする請求項1ないし請求項5の何れか1つの請求項に記載の高周波パッケージ。	<p>甲第1号証 ・段落番号 0029 A6'. キャスタレーション導体間のギャップgは、$g < C_0 / (2f \cdot \sqrt{\epsilon_{eff}})$ (但し、C_0、f、ϵ_{eff}はそれぞれ、光速、高周波信号の周波数、絶縁棒体および絶縁基板の比誘電率を合成した比誘電率) としておくと、共振による高周波信号の減衰を避けることができる。</p> <p>参考資料8 特開平6-224604号公報 絶縁基板表面に備えた信号線路両側にグラウンド線路をそれぞれ並べるとともに、絶縁基板裏面にグラウンドプレーンを備え、グラウンド線路とグラウンドプレーンとを接続するビアを小ピッチで複数本並べたものが記載されている。</p> <p>参考資料9 特公平5-86869号公報 所定の間隔をもって配設された配線間に、伝搬する信号の波長よりも短い間隔、例えば波長の1/4以下の間隔でスルーホールを形成したものが記載されている。</p> <p>参考資料10 特開平11-68416号公報</p>

		誘電体基板を挟持する一対の導体層と高周波信号の伝送方向にこの高周波信号の導波波長の2分の1の繰り返し間隔で、かつ伝送方向と直交する方向に一定の幅で導体層間を電気的に接続する2列の貫通導体群を具備するものが記載されている。
7	A 7. 多層誘電体基板から成るパッケージは、一体同時焼成多層セラミックによって形成されていることを特徴とする請求項1ないし請求項6の何れか1つの請求項に記載の高周波パッケージ。	<p>甲第1号証 ・段落番号 0028 A 7. 高周波回路用パッケージでの作製にあたっては、例えば絶縁基板および絶縁棒体がガラスセラミックから成る場合であれば、絶縁基板、絶縁棒体、キャスタレーション導体を約 1000℃で一体焼成することにより製作される。</p> <p>甲第2号証 ・段落番号 0011 A 7'. セラミック端子部の製造にあたっては、多層セラミック回路基板の製法と同様にセラミックグリーンシートを積層し焼成して行なう。また、ビアホールについては導体ペーストを充填し、信号メタライズや帯状メタライズ部についてはスクリーン印刷し、これらを一体焼成すればよい。</p>
理由の要点	<p>(請求項1) 甲第1号証には請求項1のA1, B1, C1, D1, E1, G1の構成が記載されており、また、甲第2号証には請求項1のA1', B1, C1, D1, E1, F1の構成が記載されており、甲第2号証に記載された発明を甲第1号証に記載された発明に適用することは当業者であれば極めて容易に成し得たことである。さらに、参考資料1～8より、パッケージのフィードスルー部分において、棒体の側面の信号導体の両側に位置する部位に金属電極を有する構成は当業者によく知られた周知の技術であり、また、参考資料4～7より、パッケージのフィードスルー部分において、信号導体の両側に基板および棒体を貫通するビアホールを有する構成も当業者によく知られた周知の構成である。よって、請求項1に係る発明は、参考資料1～3に記載された周知慣用の技術と同様の甲第1号証に記載された発明、および参考資料4～7に記載された周知慣用の技術と同様の甲第2号証に記載された発明に基づいて当業者が容易に発明できたものである。</p> <p>また、甲第3号証には請求項1のA1, B1, C1, D1', E1, F1, G1の構成が記載されており、露出したコプレーナ線路から誘電体基板内部の内層線路に変換される部分の構成においては、請求項1のフィードスルーの片側部分と同一の構成が記載されている。請求項1に係る発明は、甲第3号証の構成をフィードスルーの両側、即ちパッケージの内側と外側の部位に設けただけにすぎず、従って、請求項1に係る発明は甲第3号証に記載された発明に基づいて当業者が容易に発明できたものである。</p> <p>(請求項2) 甲第1号証には請求項2のA2の構成が記載されている。</p> <p>(請求項3) 甲第1号証には請求項3のA3'の構成が記載されている。即ち、甲第1号証には、キャスタレーション導体を絶縁棒体側面の凹部に形成する場合は、凹部を絶縁棒体の中央部に向かって深く形成するほど、高周波信号の伝送特性をより優れたものとする事ができることが示唆されており、この形状をストレスによるクラックが入りにくいという作用効果を狙って半円柱状にするのは単なる設計事項であり、当業者が容易に発明できたものである。</p> <p>また、参考資料1に示すように、キャスタレーション導体は、セラミックグリーンシートに導体ペーストを有するスルーホールを形成しておき、セラミックグリーンシートを裁断する際に、スルーホールを囲いでセラミックグリーンシートを裁断することにより断面半円状に形成することは周知慣用の技術であり、甲第1号証に記載された発明および参考資料1に記載された周知慣用の技術に基づいて当業者が容易に発明できたものである。</p> <p>(請求項4) 甲第1号証には請求項4のA4の構成が記載されている。</p> <p>(請求項5) 甲第1号証には請求項5のA5の構成が記載されている。</p> <p>(請求項6) 請求項6の式 $c / (2f \cdot \sqrt{\epsilon_r})$ は、例えば空気中の高周波信号の波長 λ_0 は $\lambda_0 = c / f$ であることから、$\lambda_0 / 2\sqrt{\epsilon_r}$ と表すことができ、この $\lambda_0 / \sqrt{\epsilon_r}$ は比誘電率が ϵ_r の誘電体中を伝送する高周波信号の</p>	

波長 λ である。従って距離1は、比誘電率が ϵ_r の誘電体中を伝送する高周波信号の波長 λ の $1/2$ 倍未満であることを意味している。また、一般にフィードスルーにおいては、誘電体中の信号線路に寄生共振が生じ、信号線路を伝送する高周波信号の伝送損失が大きくなり易く、これを解決するために、信号線路の両側に信号線路に平行に、高周波信号の波長の $1/2$ や $1/4$ のように高周波信号の波長よりも短い間隔をもって並べたビアホールなどの導体からなる擬似グラウンド壁で信号線路を囲むことは、参考資料8~10に示すように周知慣用の事項である。従って、請求項8の距離1は、擬似グラウンド壁となる金属電極とビアホールとの距離であり、距離1として参考資料8~10に記載された周知慣用の技術と同様の甲第1号証の発明を適用することは、当業者が容易に発明できたものである。

(請求項7)

甲第1号証には請求項7のA7の構成が記載されており、キャストレーション導体（金属電極に相当する）をパッケージと一体成形することにおいては請求項7と同一である。また、甲第2号証にも請求項7のA7'の構成が記載されている。

(2) 手続の経緯

出 願 日 平成11年11月15日
(特願平11-324739号)
登 録 日 平成14年 9月 6日
公報発行日 平成14年11月18日
(特許第3846752号公報)

(3) 申立の根拠

請求項1～7

条文 第20条第2項(第113条第2号)

証拠 甲第1号証、甲第2号証および甲第3号証

(4) 具体的理由

a. 本件特許発明

本件の請求項1～7に係る各特許発明は、それぞれ特許査定時の明細書および図面の記載からみて、当該請求項に記載された通りの、

(請求項1)

A1. 半導体素子を実装されるキャビティを有する多層誘電体基板から成るパッケージにおいて、

B1. 第1及び第2の誘電体層基板を有し、

C1. キャビティの内外を接続するために、第1の誘電体層上のコプレーナ線路と、

D1. 前記コプレーナ線路上に第2の誘電体層が積層された内層線路とからなるフィードスルーが形成され、

E1. 第2の誘電体層の表面にグランド導体を有し、

F1. コプレーナ線路と内層線路との接続界面から離れたところで、表面のグランド導体と内層線路のグランド導体とを信号導体に沿って複数のビアホールによって接続し、

G1. 前記コプレーナ線路と前記内層線路との接続界面における線路の信号導体の両側に形成された金属電極を有することを特徴とする高周波パッケージ。

(請求項2)

A2. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、柱状であることを特徴とする請求項1に記載の高周波パッケージ。

(請求項3)

A3. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、半円柱状であることを特徴とする請求項1に記載の高周波パッケージ。

(請求項4)

A4. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、平板であることを特徴とする請求項1に記載の高周波パッケージ。

(請求項5)

A5. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、前記グランド導体と前記コプレーナ線路のグランド導体とを接続することを特徴とする請求項1ないし請求項4の何れか1つの請求項に記載の高周波パッ

ケージ。

(請求項6)

A6. 前記コプレーナ線路と前記内層線路との接続界面と、該接続界面と最短距離の前記ビアホールとの中心との距離1は、

$$1 < c / (2 f \cdot \sqrt{\epsilon_r})$$

(但し、c、f、 ϵ_r はそれぞれ、光速、信号周波数、誘電体基板の比誘電率)を満たすことを特徴とする請求項1ないし請求項5の何れか1つの請求項に記載の高周波パッケージ。

(請求項7)

A7. 多層誘電体基板から成るパッケージは、一体同時焼成多層セラミックによって形成されていることを特徴とする請求項1ないし請求項6の何れか1つの請求項に記載の高周波パッケージ。」

にあるものと思料されます。

そして、請求項1に係る発明は、信号の放射を抑制することができフィードスルーの伝送特性を改善することが可能であり、特に、コプレーナ線路と内層線路との接続界面と内層線路に形成される端部のビアホールとの間隙を大きくしても信号の放射を抑制でき、ビアホールの形成が容易となるという作用効果を奏します。

請求項2に係る発明は、製造上容易に形成でき、歩留まりを向上できるという作用効果を奏します。

請求項3に係る発明は、ストレスによるクラックが入りにくいという作用効果を奏します。

請求項4に係る発明は、製造上容易に形成でき、歩留まりを向上できるという作用効果を奏します。

請求項5に係る発明は、信号の放射をより効果的に抑制することができフィードスルーの伝送特性をより改善することが可能となるという作用効果を奏します。

請求項6に係る発明は、極値をとる周波数を信号周波数の帯域外にすることができ、フィードスルーの放射損失を低減することが可能となるという作用効果を奏します。

請求項7に係る発明は、製造上容易に形成でき、歩留まりを向上できるという作用効果を奏します。

b. 証拠の説明

(i) 甲第1号証：特開平11-312751号公報

特許請求の範囲、段落番号0001, 0016, 0026, 0028~0030, 0034、図1~2

甲第1号証に記載された発明は、高周波帯で用いられる高周波用半導体素子や高周波回路等の高周波回路部品を収容するための高周波回路用パッケージに関するものであり(段落番号0001参照)、甲第1号証に記載された発明は本件特許発明と極めて関連の深い技術分野のものです。その特許請求の範囲には、

「【請求項1】 下面に下部接地導体層が形成され、上面に高周波回路部品が搭載

される搭載部を有する絶縁基板と、該絶縁基板の前記搭載部近傍から外周近傍にかけて配設された線路導体および該線路導体の両側に併設された同一面接地導体層と、前記絶縁基板上に前記搭載部を囲むとともに前記線路導体および前記同一面接地導体層の一部を挟んで接合され、上面に上部接地導体層が形成された絶縁枠体とを具備し、前記絶縁枠体の内外側面に前記同一面接地導体層と前記上部接地導体層とを接続するキャストレーション導体を形成するとともに、該キャストレーション導体直下の前記絶縁基板にそれぞれ前記同一面接地導体層と前記下部接地導体層とを接続する貫通導体を形成したことを特徴とする高周波回路用パッケージ。」

と記載されています。

また、段落番号 0016 には、その実施例について、

「これらの図において 21 は上面に高周波回路部品が搭載される搭載部 21a を有する絶縁基板、22 は絶縁基板 21 上に搭載部 21a を囲むように接合されて内側に高周波回路部品を収容する収容部の側壁となる絶縁枠体である。これら絶縁基板 21 と絶縁枠体 22 とにより高周波用半導体素子を収容する収容部 29 が形成され、高周波回路部品 28 を搭載部 21a に搭載し、この収容部 29 を塞くようにして蓋体 23 を絶縁枠体 22 の上面に接合することにより、収容部 29 の内部に高周波回路部品 28 が気密封止されて収容される。」

と記載されています。

また、段落番号 0026 には、その実施例について、

「キャストレーション導体 32 は、同一面接地導体層 25 の直上の絶縁枠体 22 の内外側面のそれぞれに形成された凹部等に上部接地導体層 27 と同一面接地導体層 25 とを電気的に接続するように形成され、上記の各導体層と同様の材料を用いて同様の方法により接着形成すればよく、また、他の導電部材、例えば金属板や金属ブロックを取着することにより形成してもよい。」

と記載されています。

また、段落番号 0028～0030 には、その実施例について、

「本発明の高周波回路用パッケージの作製にあたっては、例えば絶縁基板 21 および絶縁枠体 22 がガラスセラミックスから成る場合であれば、まず絶縁基板 21 となるガラスセラミックスのグリーンシートを準備し、これに所定の打ち抜き加工を施して貫通導体となる貫通孔を形成した後、スクリーン印刷法により銅や銀などの低電気抵抗の導体ペーストを貫通孔に充填するとともに所定の線路導体パターンおよび導体層パターンの形状に印刷塗布する。次いで、別途準備したガラスセラミックスのグリーンシートをその側面にキャストレーション導体 32 を形成する凹部が形成されるようにして枠状に打ち抜くとともに、絶縁基板 21 となるグリーンシートの上面に高周波用半導体素子 28 の収容部 29 が形成されるようにして積層して密着し、最後にこれらを約 1000℃ で一体焼成することにより製作される。

また、キャストレーション導体 32 間のギャップ g は、下記式の範囲で変えられるギャップ g 。よりも小さな値としておくと、共振による高周波信号の減衰を避けることができるため、線路導体 24 を伝送させる高周波信号の周波数において、

その伝送特性を優れたものとすることができる。

$$g_0 = C_0 / 2f \cdot \sqrt{\epsilon_{\text{eff}}}$$

ただし、 g_0 は共振の発生するキャスタレーション導体 32 間ギャップ、 C_0 は光速、 f は高周波信号の周波数、 ϵ_{eff} は絶縁棒体 22 および絶縁基板 21 の比誘電率を合成した比誘電率である。

また、図 1 および図 2 に示した高周波回路用パッケージのように、キャスタレーション導体 32 を絶縁棒体 22 側面の凹部に形成する場合は、凹部を絶縁棒体 22 の中央部に向かって深く形成するほど、より長い距離にわたって疑似導波管構造となるため接地状態がより安定するようになり、高周波信号の伝送特性をより優れたものとすることができる。従って、キャスタレーション導体 32 が形成される絶縁棒体 22 側面の凹部は、収容部 29 内の気密封止を維持できる範囲でできる限り深く形成することが望ましい。」

と記載されています。

また、段落番号 0034 には、その効果について

「本発明の高周波回路用パッケージによれば、高周波信号を伝送するための線路導体に対して、絶縁基板と絶縁棒体とに挟まれた気密封止部において、下部接地導体層および上部接地導体層を配し、同一面接地導体層を併設し、さらに、絶縁棒体の内外側面に同一面接地導体層と上部接地導体層とを接続するキャスタレーション導体を形成するとともにその直下の絶縁基板にそれぞれ同一面接地導体層と下部接地導体層とを接続する貫通導体を形成したことから、線路導体が絶縁棒体の内外側面において気密封止部に入出入りする部分の線路構成が疑似導波管構造となり、その結果、線路導体を取り囲む接地導体による接地状態を安定させて反射損失を低減することができるとともに、電磁波シールド効果を高めて放射損失を抑制することができ、それにより、高周波信号の入出力部における高周波信号の伝送特性を低損失で良好なものとすることができる。」

と記載されています。

(ii) 甲第 2 号証：特開平 5-175356 号公報

特許請求の範囲、段落番号 0001, 0002, 0007, 0008, 0010~0012、図 1~3

甲第 2 号証に記載された発明は、メタルウォールパッケージに関するものであり（段落番号 0001 参照）、甲第 2 号証に記載された発明は本件特許発明と極めて関連の深い技術分野のものです。その特許請求の範囲には、

「【請求項 1】 基体のセラミック体にパッケージの内外を電気的に接続する信号線メタライズを形成したセラミック端子部を、パッケージの周壁に貫通して設けたメタルウォールパッケージにおいて、前記セラミック体の信号線メタライズをはさむ両側に、セラミック体を厚み方向に貫通する導体のビアホールを設けたことを特徴とするメタルウォールパッケージ。

【請求項 2】 セラミック体上で信号線メタライズを形成する面と同一面に、信号線をはさんで両側位置に前記ビアホールと電気的に接続して帯状メタライズ部を設けたことを特徴とする請求項 1 記載のメタルウォールパッケージ。」

と記載されています。

また、段落番号 0002 には、その従来技術について、

「メタルウォールパッケージは図 4 に示すように、半導体素子を搭載する空間を内部に設けてメタルで箱体状に形成したパッケージである。搭載される半導体素子は周壁に配置したセラミック端子部 10 を介して外部回路に接続される。セラミック端子部 10 はパッケージの周壁 11 に透設した矩形の貫通孔に挿入して固定される。図 5 はセラミック端子部 10 の断面図を示す。セラミック端子部 10 は断面形状が逆 T 字形をなすセラミック体 12 によって形成したもので、セラミック体 12 の上面に信号線としての信号線メタライズ 14 を施している。信号線メタライズ 14 の線幅はセラミック体 12 の幅よりも細幅で、セラミック体 12 の上面中央に設けた突縁部分では突縁下部を幅方向に貫通するように設けている。信号線メタライズ 14 には、必要により電源線やグランド線も含まれるものである。」

と記載されています。

また、段落番号 0007～0008 には、その実施例について、

「以下、本発明の好適な実施例を添付図面に基づいて詳細に説明する。図 1 は本発明に係るメタルウォールパッケージに用いるセラミック端子部の斜視図、図 2 は平面図、図 3 は正面図である。12 はセラミック端子部の基体を構成するセラミック体で、前述した従来技術のメタルウォールパッケージで用いると同様にセラミック体 12 の上面中央部に突縁を設けている。14 はセラミック体 12 に設けた信号線メタライズである。信号線メタライズ 14 は突縁部分の下面を通過してセラミック体 12 の両側に露出する。信号線メタライズ 14 にはリード 18 等をろう付けするため所要のめっきが施される。

20 は信号線メタライズ 14 の両側にセラミック体 12 の厚み方向に貫通して設けたビアホールである。ビアホールは多層セラミック回路基板において層間の配線パターンとの導通をとるために設けるビアと同形態に形成したもので、透孔内に導体が充填されている。ビアホール 20 は図 1、2 のように信号線メタライズ 14 に沿ってその両側に所定間隔をあけて配置する。セラミック体 12 の突縁部についても図 3 に示すように上下に貫通させてビアホール 20 を設ける。このようにビアホール 20 を所定間隔をおいて配列することによって、信号線メタライズ 14 の両側に小柱状の導体が植立するかたちとなる。突縁の上面およびセラミック体 12 の下面、セラミック体の側面 22 には従来例と同様にメタライズを施す。セラミック体 12 をメタルウォールパッケージのメタル部にろう付けして固定するためである。」

と記載されています。

また、段落番号 0010～0012 には、その実施例について、

「なお、ビアホール 20 を配置する間隔はセラミック体の製造にあたって適宜設定でき、図示した実施例よりもさらに密に配置することも可能である。また、上記のようにビアホール 20 を設けるとともに、図 2 に示すように信号線メタライズ 14 を形成した面と同一面については信号線メタライズ 14 と平行に帯状に連続してメタライズを施すようにしてもよい。このように帯状メタライズ部 24 で

信号線メタライズ14を挟むように配置すれば、コプレーナライン構造とすることができ、さらに効果的に信号伝送特性を改善することができる。

セラミック端子部の製造にあたっては多層セラミック回路基板の製法と同様にセラミックグリーンシートを積層して焼成して行うことができる。ビアホール20についてはセラミックグリーンシートにビアホール用の通孔を穿設するとともに通孔内に導体ペーストを充填し、信号線メタライズ14および前記帯状メタライズ部24についてはスクリーン印刷によって形成して一体焼成すればよい。セラミック体12のサイズがかなり小さい場合でも従来の印刷法等を用いることにより微細パターンを形成することは容易に可能である。実施例のセラミック端子部の寸法について示すと、幅サイズ3.0mm、信号線メタライズ幅0.5mm、これに接合するリード幅0.3mm、突縁部の幅0.5mm、セラミック体の信号線までの高さ0.5mm、突縁部の上面までの高さ1.0mm、信号線を挟むビアホール間の間隔1.5mmである。」と記載されています。

また、段落番号0012には、その効果について

「本発明に係るメタルウォールパッケージは上述したように、信号線メタライズをはさんでセラミック体の基体にビアホールを設けることによって実質的に信号線に対する接地部の間隔を縮小することができ、セラミック端子部の信号伝送特性を効果的に向上させることができる。また、ビアホール等の形成にあたっては従来のセラミック基板の製法がそのまま利用でき容易に製造することができる等の著効を奏する。」と記載されています。

(iii) 甲第3号証：特開平10-303333号公報

特許請求の範囲、段落番号0001、0022、0029、0042、図4

甲第3号証に記載された発明は、高周波用素子(MIC、MMIC等)を収納するための高周波用パッケージに関し、特に、高周波信号の特性劣化を低減して高周波用素子と外部電気回路基板との信号の伝送が可能な高周波用パッケージの改良に関するものであり(段落番号0001参照)、甲第3号証に記載された発明は本件特許発明と極めて関連の深い技術分野のものです。その特許請求の範囲には、

「【請求項1】 誘電体材料からなる誘電体基板と、該誘電体基板と蓋体により形成され高周波用素子を収納するためのキャビティと、前記誘電体基板内に設けられた少なくとも1層のグランド層と、該キャビティ内の前記誘電体基板の表面に形成され前記高周波用素子と接続されるグランド付きコプレーナ線路と、前記誘電体基板の前記キャビティ領域以外の誘電体基板表面に形成されたマイクロストリップ線路とを具備し、前記グランド付きコプレーナ線路を、変換部を介して前記誘電体基板内に形成されたストリップ線路と接続し、該ストリップ線路を、前記マイクロストリップ線路と電磁的に結合してなることを特徴とする高周波用パッケージ。

【請求項2】 前記ストリップ線路の終端部の開放端側近傍に、少なくとも1つ以上のビアホールを形成するとともに、前記終端部を前記マイクロストリップ線

路の終端部と、前記誘電体基板内に設けられたグラウンド層に形成されたスロット孔を介して対峙する位置に配置することにより、前記ストリップ線路と前記マイクロストリップ線路とを電磁的に結合してなる請求項1記載の高周波用パッケージ。

【請求項3】 前記グラウンド付きコプレーナ線路を、前記高周波用素子とコプレーナ線路構造で接続してなる請求項1記載の高周波用パッケージ。

【請求項4】 前記変換部を、信号線路と、その両側に形成された一対のグラウンド層とからなるコプレーナ線路と、該コプレーナ線路の上下面に形成されたグラウンド層とからなる上下グラウンド付きコプレーナ線路によって構成する請求項1記載の高周波用パッケージ。

【請求項5】 前記変換部の長さが、伝送信号の波長 λ の $1/4$ 未満である請求項1記載の高周波用パッケージ。

【請求項6】 前記変換部において、前記信号線路両側のグラウンド層を、前記上下面に形成されたグラウンド層と、ビアホールおよび/またはキャスタレーションによって電気的に接続してなる請求項4記載の高周波用パッケージ。」と記載されています。

また、段落番号 0022 には、その実施例について、

「変換部12は、図2(b)に示すように、前記グラウンド付きコプレーナ線路が、誘電体基板2内部まで配置され、その上下には、配線層Aのグラウンド層14と配線層Cのグラウンド層10によって挟まれた構造からなり、これにより上下グラウンド付きコプレーナ線路を形成している。なお、コプレーナ線路における信号線路7の両側のグラウンド層8は、所定長さ L をもって終端となるように形成され、その結果、信号線路7は、ストリップ線路に変換されることになる。この変換部12において、信号線路7の両側のグラウンド層は、例えば、上下のグラウンド層14、10とビアホール15によって電気的に接続され、等電位に保たれている。この変換部12の長さ L は、伝送信号の波長 λ の $1/4$ 未満であることが必要であり、波長 λ の $1/4$ 以上の長さでは、変換部で共振が生じるため、伝送信号を劣化させてしまう。」

と記載されています。

また、段落番号 0029 には、その実施例について、

「また、配線層Bにおける変換部12の他の構造としては、図4(a)に示すように、変換部12において、コプレーナ線路における信号線路両側のグラウンド層は、前記ビアホール以外に、誘電体基板2の壁面にキャスタレーション25を形成し、等電位に導通をとってもよい。また、ビアホール15とキャスタレーション25を併用してもよい。」

と記載されています。

また、段落番号 0042 には、その効果について、

「以上詳述した通り、本発明の高周波用パッケージは、信号の特性の劣化が少なく、高周波信号線路からの電磁波のもれなどによって電源用信号線路や低周波信号線路に妨害を与えることなく、入出力端子がコプレーナ線路構造で形成された高周波用半導体素子と低損失で接続することができる。」

と記載されています。

c. 本件特許発明と証拠との対比

(請求項1)

本件特許の請求項1に係る発明と甲第1号証に記載された発明とを対比すると、甲第1号証における高周波回路部品、絶縁基板、収納部、絶縁枠体、線路導体、同一面接地導体層、上部接地導体層、キャストレーション導体、高周波回路用パッケージは、それぞれ本件特許の請求項1に係る発明の半導体素子、第1の誘電体層基板、キャビティ、第2の誘電体層基板、信号線路、グランド導体、第2の誘電体層の表面のグランド導体、金属電極、高周波パッケージに対応するものです。

そして、甲第1号証には、上面に高周波回路部品を搭載される搭載部を有する絶縁基板と、搭載部を囲むように接合されて内側に高周波回路部品を収容する収容部の側壁となる絶縁枠体とを具備する高周波回路用パッケージにおいて、絶縁基板上に絶縁枠体が接合されており、絶縁基板の搭載部近傍から外周近傍にかけて配設された線路導体および線路導体の両側に併設された同一面接地導体層を有し、線路導体および同一面接地導体層の一部を挟んで絶縁枠体が接合され、絶縁枠体の上面に上部接地導体層が形成されており、絶縁枠体の内外側面に同一面接地導体層と上部接地導体層とを接続するキャストレーション導体を有するものが記載されています。

従って、甲第1号証には、本件特許の請求項1に係る発明の構成のうち

「A1. 半導体素子が実装されるキャビティを有する多層誘電体基板から成るパッケージにおいて、

B1. 第1及び第2の誘電体層基板を有し、

C1. キャビティの内外を接続するために、第1の誘電体層上のコプレーナ線路と、

D1. 前記コプレーナ線路上に第2の誘電体層が積層された内層線路とからなるフィードスルーが形成され、

E1. 第2の誘電体層の表面にグランド導体を有し、

G1. 前記コプレーナ線路と前記内層線路との接続界面における線路の信号導体の両側に形成された金属電極を有することを特徴とする高周波パッケージ。」

が記載されています。

一方、本件特許の請求項1に係る発明と甲第2号証に記載された発明とを対比すると、甲第2号証における空間、セラミック体、突縁、信号線メタライズ、帯状メタライズ、セラミック端子、突縁の上面のメタライズ、ビアホール、メタルウォールパッケージは、それぞれ本件特許の請求項1に係る発明のキャビティ、第1の誘電体層基板、第2の誘電体層基板、信号導体、グランド導体、フィードスルー、第2の誘電体層の表面のグランド導体、ビアホール、高周波パッケージに対応するものです。

そして、甲第2号証には、半導体素子を搭載する空間を内部に設けてメタルで箱体状に形成したパッケージにおいて、基体を構成するセラミック体の上面中央

部に突縁を設けており、基体のセラミック体にパッケージの内外を電気的に接続する信号線メタライズを形成するとともに、信号線メタライズを形成する面と同一面に信号線をはさんで両側位置に帯状メタライズ部を設けたコプレーナライン構造とし、信号線メタライズが突縁部分の下面を通過してセラミック体の両側に露出したセラミック端子がパッケージの周壁に貫通して設けられており、突縁の上面にメタライズを施し、セラミック体を厚み方向に貫通する導体のビアホールを帯状メタライズ部と電気的に接続して設けたものが記載されています。

そして、甲第1号証に記載された発明は、高周波帯で用いられる高周波用半導体素子や高周波回路等の高周波回路部品を收容するための高周波回路用パッケージに関するものであり、甲第2号証に記載された発明は、半導体素子を搭載するためのメタルウォールパッケージに関するものであり、これらは極めて関連の深い技術分野のものです。よって、甲第2号証に記載された発明を甲第1号証に記載された発明に適用することは当業者であれば極めて容易に成し得たことです。

また、下記の参考資料1～3に示すように、パッケージのフィードスルー部分における第2の誘電体層基板の側面の信号導体の両側に位置する部位に金属電極を有することは周知慣用の技術です。

- ・参考資料1：特開昭63-281859号公報（特許請求の範囲の請求項1、1頁左下欄12～15行、3頁右上欄6行～3頁左下欄7行、4頁左下欄15行～5頁左上欄12行、第1図参照）
- ・参考資料2：特開平6-112352号公報（特許請求の範囲の請求項2、段落番号0001,0031,0036、図3、図4参照）
- ・参考資料3：特開平9-23106号公報（特許請求の範囲の請求項1、段落番号0001,0010,0012,0016、図1参照）

さらに、下記の参考資料4～7に示すように、パッケージのフィードスルー部分における信号導体の両側に第1や第2の誘電体層基板を貫通するビアホールを有することは周知慣用の技術です。

- ・参考資料4：特開昭63-107055号公報（特許請求の範囲の請求項3、2頁左上欄1～3行、4頁右下欄19行～5頁左上欄4行、6頁左下欄8行～5頁右下欄12行、7頁左上欄6～20行、第2図、第4図、第5図参照）
- ・参考資料5：特開平2-291152号公報（1頁右下欄1～3行、1頁右下欄10行～2頁左上欄6行、第4図参照）
- ・参考資料6：特開平10-242716号公報（段落番号0001,0004、図8参照）
- ・参考資料7：特開平4-312960号公報（特許請求の範囲の請求項2、段落番号0001,0015,0018,0019、図2参照）

即ち、本件特許の請求項1に係る発明は、参考資料1～3に記載された周知慣用の技術と同様の甲第1号証に記載された発明、および参考資料4～7に記載された周知慣用の技術と同様の甲第2号証に記載された発明に基づいて当業者が容易に発明できたものです。

また、本件特許の請求項1に係る発明と甲第3号証に記載された発明とを対比



すると、甲第8号証における高周波素子、誘電体基板、グランド付きコプレーナ線路、グランド層、信号線路、キャストレーション、高周波用パッケージは、それぞれ本件特許の請求項1に係る発明の半導体素子、誘電体層基板、コプレーナ線路、グランド導体、信号導体、金属電極、高周波パッケージに対応するものです。

そして、甲第3号証には、高周波素子を収納するためのキャビティを具備する高周波用パッケージにおいて、誘電体材料からなる誘電体基板から成り、キャビティ内の誘電体基板の表面のグランド付きコプレーナ線路を具備し、グランド付きコプレーナ線路が誘電体基板内部まで配置されて変換部が形成されており、変換部において、ブランド付きコプレーナ線路の上下面にグランド層が形成され、信号線路の両側のグランド層は、これらの上下のグランド層とビアホールによって電気的に接続され、変換部の誘電体基板の壁面にキャストレーションが形成されているものが記載されています。

従って、甲第3号証には、本件特許の請求項1に係る発明の構成のうち

「A1. 半導体素子が実装されるキャビティを有する多層誘電体基板から成るパッケージにおいて、

B1. 第1及び第2の誘電体層基板を有し、

C1. キャビティの内外を接続するために、第1の誘電体層上のコプレーナ線路と、

D1. 前記コプレーナ線路上に第2の誘電体層が積層された内層線路とからなるフィードスルーが形成され、

E1. 第2の誘電体層の表面にグランド導体を有し、

F1. コプレーナ線路と内層線路との接続界面から離れたところで、表面のグランド導体と内層線路のグランド導体とを信号導体に沿って複数のビアホールによって接続し、

G1. 前記コプレーナ線路と前記内層線路との接続界面における線路の信号導体の両側に形成された金属電極を有することを特徴とする高周波パッケージ。」

が記載されており、露出したコプレーナ線路から誘電体層基板内部の内層線路に変換される部分の構成においては、請求項1のフィードスルーの片側部分と同一の構成が記載されています。即ち、請求項1に係る発明は、甲第8号証の構成をフィードスルーの両側、即ちパッケージの内側と外側の部位に設けただけにすぎず、これは当業者が容易に発明できたものでもあります。

(請求項2)

本件特許の請求項2は請求項1の従属項です。また、本件特許の請求項2に係る発明と甲第1号証に記載された発明とを対比すると、甲第1号証におけるキャストレーション導体は、本件特許の請求項2に係る発明の金属電極に対応するものです。そして、甲第1号証には、キャストレーション導体は、同一面接地導体層の直上の絶縁枠体の内外側面のそれぞれに形成され、例えば金属ブロックを取着することにより形成してもよいことが記載されており、これより、キャストレーション導体は柱状であることが読み取れます。

従って、甲第1号証には、本件特許の請求項2に係る発明の構成である「A2. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、柱状であること」

が記載または示唆されており、従って請求項2に係る発明は甲第1号証および甲第2号証に記載された発明に基づいて当業者が容易に発明できたものです。

(請求項3)

本件特許の請求項3は請求項1の従属項です。また、本件特許の請求項3に係る発明と甲第1号証に記載された発明とを対比すると、甲第1号証におけるキャストレーション導体は、本件特許の請求項3に係る発明の金属電極に対応するものです。そして、甲第1号証には、キャストレーション導体を絶縁枠体側面の凹部に形成する場合は、凹部を絶縁枠体の中央部に向かって深く形成するほど、高周波信号の伝送特性をより優れたものとするということが記載されており、この形状をストレスによるクラックが入りにくいという作用効果を狙って半円柱状にするのは単なる設計事項であり、当業者が容易に発明できたものです。

また、下記の参考資料1に示すように、キャストレーション導体は、セラミックグリーンシートに導体ペーストを有するスルーホールを形成しておき、セラミックグリーンシートを裁断する際に、スルーホールを跨いでセラミックグリーンシートを裁断することにより断面半円状に形成することは周知慣用の技術です。

・参考資料1：特開昭63-261859号公報（8頁右上欄8行3頁左下欄7行、第1図参照）

即ち、本件特許の請求項1に係る発明は、甲第1号証および甲第2号証に記載された発明に基づいて、または、甲第1号証、甲第2号証および参考資料1に記載された発明に基づいて当業者が容易に発明できたものです。

(請求項4)

本件特許の請求項4は請求項1の従属項です。また、本件特許の請求項4に係る発明と甲第1号証に記載された発明とを対比すると、甲第1号証におけるキャストレーション導体は、本件特許の請求項4に係る発明の金属電極に対応するものです。そして、甲第1号証には、キャストレーション導体は、同一面接地導体層の直上の絶縁枠体の内外側面のそれぞれに形成され、例えば金属板により形成してもよいことが記載されており、これより、キャストレーション導体は平板であることが読み取れます。

従って、甲第1号証には、本件特許の請求項2に係る発明の構成である「A4. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、平板であること」が記載されており、請求項4に係る発明は甲第1号証および甲第2号証に記載された発明に基づいて当業者が容易に発明できたものです。

(請求項5)

本件特許の請求項5は請求項1～4の従属項です。また、本件特許の請求項5

に係る発明と甲第1号証に記載された発明とを対比すると、甲第1号証における同一面接地導体層、上部接地導体層、キャストレーション導体は、本件特許の請求項5に係る発明のコプレーナ線路のグランド導体、前記グランド導体、金属電極に対応するものです。そして、甲第1号証には、絶縁棒体の内外側面に同一面接地導体層と上部接地導体層とを接続するキャストレーション導体を形成することが記載されています。

従って、甲第1号証には、本件特許の請求項5に係る発明の構成である

「A5. コプレーナ線路と内層線路との接続界面における信号導体の両側の金属電極は、前記グランド導体と前記コプレーナ線路のグランド導体とを接続すること」

が記載されており、請求項5に係る発明は甲第1号証および甲第2号証に記載された発明に基づいて当業者が容易に発明できたものです。

(請求項6)

本件特許の請求項6は請求項1～5の従属項です。また、本件特許の請求項6に係る発明と甲第1号証に記載された発明とを対比すると、甲第1号証におけるキャストレーション導体は、本件特許の請求項6に係る発明の金属電極に対応するものです。そして、本件特許の請求項6の $c / (2f \cdot \sqrt{\epsilon_r})$ は、例えば空気中の高周波信号の波長 λ_0 は $\lambda_0 = c / f$ であることから、 $\lambda_0 / 2\sqrt{\epsilon_r}$ と表すことができ、この $\lambda_0 / \sqrt{\epsilon_r}$ は比誘電率が ϵ_r の誘電体中を伝送する高周波信号の波長 λ です。従って距離1は、比誘電率が ϵ_r の誘電体中を伝送する高周波信号の波長 λ の $1/2$ 倍未満であることを意味しています。

一般にフィードスルーにおいては、誘電体中の信号線路に寄生共振が生じ、信号線路を伝送する高周波信号の伝送損失が大きくなり易く、これを解決するために、信号線路の両側に信号線路に平行に、高周波信号の波長の $1/2$ や $1/4$ のように高周波信号の波長よりも短い間隔をもって並べたビアホールなどの導体からなる擬似グランド壁で信号線路を囲むことは、下記の参考資料8～10に示すように周知慣用です。

従って、請求項6の距離1は、擬似グランド壁となる金属電極とビアホールとの距離であり、距離1として参考資料8～10に記載された周知慣用の技術と同様の甲第1号証の発明を適用することは、当業者が容易に発明できたものです。

- ・参考資料8：特開平6-224604号公報（特許請求の範囲、段落番号0001, 0025, 0026, 0028, 0031, 0032, 0036～0038、図1、図2参照）
- ・参考資料9：特公平5-86859号公報（特許請求の範囲の請求項1、1頁左欄10～13行、1頁右欄11～16行、2頁左欄15～19行、第2図参照）
- ・参考資料10：特開平11-68416号公報（特許請求の範囲、段落番号0001, 0017、図1参照）

なお、参考資料8には、ビアのピッチが波長の $1/2$ 未満であるという点について明記されていませんが、ビアのピッチが 0.4 mm の例が記載されており、アルミナ基板の ϵ_r が一般に8～10であること、周波数が 10 GHz 以上であ

ることから、上記の $\lambda/2$ は4.7~5.4 mm ($f=10\text{GHz}$)であり、従ってピッチが波長の $1/2$ よりも小さいことが示唆されています。

(請求項7)

本件特許の請求項7は請求項1~6の従属項です。また、本件特許の請求項7に係る発明と甲第1号証に記載された発明とを対比すると、甲第1号証における高周波回路用パッケージ、絶縁基板および絶縁枠体、一体焼成は、本件特許の請求項7に係る発明の高周波パッケージ、多層誘電体基板、一体同時焼成に対応するものです。そして、甲第1号証には、高周波回路用パッケージでの作製にあたっては、例えば絶縁基板および絶縁枠体がガラスセラミックから成る場合であれば、絶縁基板、絶縁枠体、キャストレーション導体を約1000℃で一体焼成することにより製作されることが記載されています。

従って、甲第1号証には、本件特許の請求項7に係る発明の構成のうち「A7. 多層誘電体基板から成るパッケージは、一体同時焼成多層セラミックによって形成されていること」が記載されています。

また、甲第2号証には、セラミック端子部の製造にあたっては、多層セラミック回路基板の製法と同様にセラミックグリーンシートを積層し焼成して行なうこと、また、ビアホールについては導体ペーストを充填し、信号メタライズや帯状メタライズ部についてはスクリーン印刷し、これらを一体焼成すればよいことが記載されています。

従って、甲第2号証にも、本件特許の請求項7に係る発明の構成のうち「A7. 多層誘電体基板から成るパッケージは、一体同時焼成多層セラミックによって形成されていること」が記載されています。

従って、請求項7に係る発明は、甲第1号証および甲第2号証に記載された発明に基づいて当業者が容易に発明できたものです。

(5) 結び

以上の通り、本件特許の請求項1に係る発明は、甲第1号証および甲第2号証に記載された発明に基づいて当業者が容易に発明できたものですから、特許法第29条第2項の規定により特許を受けることができません。また、請求項1に係る発明は、甲第3号証に記載された発明に基づいて当業者が容易に発明できたものですから、特許法第29条第2項の規定により特許を受けることができません。

本件特許の請求項2~7に係る発明は、甲第1号証および甲第2号証に記載された発明に基づいて当業者が容易に発明できたものですから、特許法第29条第2項の規定により特許を受けることができません。

従って、本件特許の請求項1~7に係る各発明は特許法第113条第2号の規定により取り消されるべきものです。

4. 証拠方法

- (1) 甲第1号証：特開平11-312751号公報
- (2) 甲第2号証：特開平6-175356号公報
- (3) 甲第3号証：特開平10-308333号公報
- (4) 参考資料1：特開昭63-261859号公報
- (5) 参考資料2：特開平6-112952号公報
- (6) 参考資料3：特開平9-23106号公報
- (7) 参考資料4：特開昭63-107055号公報
- (8) 参考資料5：特開平2-291152号公報
- (9) 参考資料6：特開平10-242716号公報
- (10) 参考資料7：特開平4-312960号公報
- (11) 参考資料8：特開平6-224604号公報
- (12) 参考資料9：特公平5-86859号公報
- (13) 参考資料10：特開平11-68416号公報

5. 添付および提出書類の目録

- | | |
|--------------|-------------|
| (1) 甲第1号証 | 正本1通および副本2通 |
| (2) 甲第2号証 | 正本1通および副本2通 |
| (3) 甲第3号証 | 正本1通および副本2通 |
| (4) 参考資料1 | 正本1通および副本2通 |
| (5) 参考資料2 | 正本1通および副本2通 |
| (6) 参考資料3 | 正本1通および副本2通 |
| (7) 参考資料4 | 正本1通および副本2通 |
| (8) 参考資料5 | 正本1通および副本2通 |
| (9) 参考資料6 | 正本1通および副本2通 |
| (10) 参考資料7 | 正本1通および副本2通 |
| (11) 参考資料8 | 正本1通および副本2通 |
| (12) 参考資料9 | 正本1通および副本2通 |
| (13) 参考資料10 | 正本1通および副本2通 |
| (14) 特許異議申立書 | 副本2通 |

以上

(Claim 1)

Exhibit A-1 describes a construction of A1, B1, C1, D1, E1, and G1 of Claim 1, and Exhibit A-2 describes a construction of A1', B1, C1, D1, E1, and F1 of Claim 1. Therefore, it would be extremely easily for any person skilled in the art to apply the invention described in Exhibit A-2 to the invention described in Exhibit A-1. From Reference Materials 1 through 3, furthermore, a construction comprising metallic electrodes in the feed-through portion of the package located on both sides of signal conductors on the side surfaces of the frame body is a technique universally known to any person skilled in the art. Moreover, from Reference Materials 4 through 7, a construction which has via-holes that pass through the substrate and the frame body on both sides of the signal conductors in the feed-through portion of the package is also a construction universally known to any person skilled in the art. Accordingly, the invention of Claim 1 could easily be invented by a person skilled in the art on the basis of the invention described in Exhibit A-1, which is similar to the universally known, customary technique described in Reference Materials 1 through 3, as well as the invention described in Exhibit A-2, which is similar to the universally known, customary technique described in Reference Materials 4 through 7.

In addition, Exhibit A-3 describes a construction of A1, B1, C1, D1' [*sic*]*, E1, F1, and G1 of Claim 1, and the construction of the portion where the exposed coplanar line is converted to the inner-layer line inside the dielectric substrate is the same as the construction on one side portion of the feed-through in Claim 1. In the invention of Claim 1, the construction [described] in Exhibit A-3 is simply provided on both sides of the feed-through, i.e., on the inside and outside portions of the package. Accordingly, the invention of Claim 1 could easily be invented by a person skilled in the art on the basis of the invention described in Exhibit A-3.

(Claim 2)

Exhibit A-1 describes a construction of A2 of Claim 2.

(Claim 3)

Exhibit A-1 describes a construction of A3' of Claim 3. Specifically, it is suggested in Exhibit A-1 that in cases where castellation conductors are formed in the recessed part on the side surfaces of the insulating frame body, the transmission characteristics of a high-frequency signal can be made superior as the recessed part is formed deeper toward the central portion of the insulating frame body. Therefore, it is a simple design matter to make this shape semi-cylindrical, aiming for the operational effect that cracks caused by stress tend not to occur, so that [the invention of Claim 3] could easily be invented by a person skilled in the art.

Moreover, as is indicated in Reference Material 1, it is a universally known, customary technique to form castellation conductors in the cross-sectional semi-circular shape by first forming through-holes having a conductor paste in ceramic green sheets and by cutting the ceramic green sheets across the through-holes. Therefore, a person skilled in the art could easily invent [the invention of Claim 3] based on the invention described in Exhibit A-1 and the universally known, customary technique described in Reference Material 1.

* Translator's note: there is no D1'.

재무제표에 대한 주석

2002년 12월 31일 및 2001년 12월 31일

레이미디어주식회사

1. 회사의 개요

당사는 DVD(Digital Versatile Disc) Player의 핵심부품인 DVD Loader의 제조 및 판매등을 목적으로 2000년 8월 29일에 설립되었습니다. 당사의 설립시 자본금은 100백만원이었으나, 수차례의 유.무상증자를 통하여 당기말 현재 자본금은 5,009백만원입니다.

2. 재무제표 작성기준 및 중요한 회계방침의 요약

당사의 재무제표는 한국의 기업회계기준에 따라 작성되고 있으며 당사가 채택하고 있는 중요한 회계처리방침은 다음과 같습니다.

2-1 현금및현금등가물

당사는 통화 및 타인발행수표등 통화대용증권과 당좌예금, 보통예금 및 현금등가물을 대차대조표상 현금및현금등가물로 표시하고 있습니다. 이 경우 현금등가물이라 함은 큰 거래비용 없이 현금으로 전환이 용이하고 이자율변동에 따른 가치변동의 위험이 중요하지 않은 유가증권 및 단기금융상품으로서 취득당시 만기(또는 상환일)가 3개월 이내에 도래하는 것을 말합니다.

2-2 대손충당금

대손충당금은 기말 현재의 채권잔액에 대하여 개별분석 및 과거의 회수경험등을 고려하여 향후 발생가능한 대손예상액을 전액 설정하고 있습니다.

2-3 재고자산

당사는 미착품에 대하여는 개별법, 기타의 재고자산에 대하여는 총평균법에 의한 취

(Claim 4)

Exhibit A-1 describes a construction of A4 of Claim 4.

(Claim 5)

Exhibit A-1 describes a construction of A5 of Claim 5.

(Claim 6)

The formula of Claim 6, $c / (2f \cdot \sqrt{\epsilon_r})$, can be expressed as $\lambda_0 / 2\sqrt{\epsilon_r}$ because the wavelength λ_0 of the high-frequency signal in the air, for example, is c/f . This $\lambda_0 / \sqrt{\epsilon_r}$ is the wavelength λ of the high-frequency signal having a relative dielectric constant of ϵ_r that is transmitted through the dielectric, which means that the distance l is less than $1/2$ of the wavelength λ of the high-frequency signal having a relative dielectric constant of ϵ_r that is transmitted through the dielectric. In general, furthermore, parasitic resonance is generated in the signal lines in the dielectric in the feed-through, so that transmission loss of the high-frequency signal transmitted on the signal lines tends to increase. In order to solve this, it is a universally known, customary matter, as indicated in Reference Materials 8 through 10, to surround the signal lines with pseudo ground walls composed of conductors such as via-holes arranged on both sides of the signal lines parallel thereto with a gap that is shorter than the wavelength of the high-frequency signal (e.g., $1/2$ or $1/4$ of the wavelength of the high-frequency signal). Accordingly, the distance l in Claim 6 is the distance between the metallic electrodes constituting pseudo ground walls and the via-holes, so that a person skilled in the art could easily invent [the invention of Claim 6] by applying the invention of Exhibit A-1, which is similar to the universally known, customary technique described in Reference Materials 8 through 10, as the distance l .

(Claim 7)

Exhibit A-1 describes a construction of A7 of Claim 7, and the construction is the same as that of Claim 7 in that the castellation conductors (corresponding to the metallic electrodes) are integrally molded with the package. Furthermore, Exhibit A-2 also describes a construction of A7' of Claim 7.

[Text omitted – Translator]

5. Indication of Evidence

- | | | |
|-----|-----------------------|--|
| (1) | Exhibit A-1: | Japanese Patent Application Kokai No. H11-312751 |
| (2) | Exhibit A-2: | Japanese Patent Application Kokai No. H5-175356 |
| (3) | Exhibit A-3: | Japanese Patent Application Kokai No. H10-303333 |
| (4) | Reference Material 1: | Japanese Patent Application Kokai No. S63-261859 |
| (5) | Reference Material 2: | Japanese Patent Application Kokai No. H6-112952 |
| (6) | Reference Material 3: | Japanese Patent Application Kokai No. H9-23106 |
| (7) | Reference Material 4: | Japanese Patent Application Kokai No. S63-107055 |

득원가로 평가하고 있으며, 재고자산의 순실현가능가액이 취득원가보다 하락한 경우에는 순실현가능가액을 대차대조표가액으로 하고 있습니다. 또한, 연중 계속기록법에 의하여 재고자산의 수량을 파악하고, 연도말에 실시 재고조사를 통하여 그 기록을 조정하고 있습니다.

2-4 유형자산

2-4-1 당사는 유형자산을 매입가액에 부대비용을 가산한 취득원가로 계상하고 있으며 유형자산의 내용연수를 연장시키거나 그 가치를 실질적으로 증가시키는 지출은 자본적지출로, 유형자산의 원상을 회복시키거나 능률유지를 위한 지출은 수익적지출로 처리하고 있습니다.

2-4-2 유형자산의 감가상각은 추정내용연수(연구용자산 : 3년, 기계장치 : 6년, 기타 유형자산 : 4년)에 정률법을 적용하여 계산하고 간접법으로 표시하고 있습니다.

2-5 무형자산

무형자산은 당해자산의 매입가액에 부대비용을 가산한 취득원가로 계상하며, 창업비 및 산업재산권은 정액법에 의하여 당해 자산의 사용가능한 시점부터 5년에 걸쳐 상각하고 있습니다. 한편, 개발비는 새로운 또는 현저히 개량된 제품등을 생산하기 위하여 연구결과나 기타 지식을 계획적으로 적용하는 활동과 관련하여 발생된 지출로서 관련제품이 판매가능한 시점부터 합리적인 기간(3년)에 걸쳐 정액법에 의해 상각하고 있습니다.

2-6 외화자산, 외화부채의 환산

당사는 모든 외화거래를 거래당시의 환율에 의하여 원화로 환산하여 기록하고 있는 바, 이들 거래의 결과로 발생하는 외환차손익은 거래당시에 영업외손익으로 인식하고 있습니다. 또한, 화폐성 외화자산 및 외화부채를 기말 현재의 기준환율로 환산하고 이에 따라 발생하는 외화환산손익은 발생년도의 손익으로 처리하고 있습니다.

2-7 퇴직급여충당금

당사는 임직원이 퇴직할 때 근로기준법에 따라 퇴직금을 지급하고 있는 바, 기말 현재 전 임직원이 일시에 퇴직할 경우 지급하여야 할 퇴직금추계액 전액을 퇴직급여충당금으로 계상하고 있습니다.

- (8) Reference Material 5: Japanese Patent Application Kokai No. H2-291152
- (9) Reference Material 6: Japanese Patent Application Kokai No. H10-242716
- (10) Reference Material 7: Japanese Patent Application Kokai No. H4-312960
- (11) Reference Material 8: Japanese Patent Application Kokai No. H6-224604
- (12) Reference Material 9: Japanese Patent Application Kokoku No. H5-86859
- (13) Reference Material 10: Japanese Patent Application Kokai No. H11-68416

2-8 법인세등

당사는 기업회계기준 제89조(중소기업의 회계처리에 대한 특례) 2항에 의거하여 이 연법인세회계를 적용하지 아니하고 법령에 의하여 납부할 세액을 법인세등의 과목으로 표시하고 있습니다.

2-9 주당경상이익 및 주당순이익

주당경상이익 및 주당순이익은 법인세효과를 고려한 후의 경상이익 및 당기순이익을 가중평균발행보통주식수로 나누어 계산한 것입니다.

3. 사용이 제한된 금융상품

기말 현재 사용이 제한된 금융상품의 내역은 다음과 같습니다.

(단위 : 천원)				
계정과목	제한내용	예치기관	당 기	전 기
단기금융상품	운전자금 및 무역금융용	하나은행	500,000	500,000
단기금융상품	무역금융	신한은행	530,000	530,000
			1,030,000	1,030,000

4. 개발비

당사의 개발비는 DVD Loader 등의 개발과 관련하여 발생하는 지출로서 당기에 발생한 연구개발활동 관련 지출액은 총 2,440,926천원(전기 : 1,670,191천원)이며, 이 중 2,420,590천원(전기 : 1,473,659천원)이 개발비의 과목으로 무형자산에 계상되었는 바, 기중 개발비의 변동내역은 다음과 같습니다.

(단위 : 천원)		
구 분	당 기	전 기
기 초 잔 액	1,433,440	149,137
기중증가액	2,420,590	1,473,659
기중상각액	(613,600)	(189,356)